

PCTWORLD INTELLECTUAL PROPERTY ORGANIZATION
International Bureau

INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

| | | |
|---|-----------|---|
| (51) International Patent Classification ⁷ : G06F 1/32, 1/04 | A1 | (11) International Publication Number: WO 00/67101 (43) International Publication Date: 9 November 2000 (09.11.00) |
| (21) International Application Number: PCT/EP00/03412 (22) International Filing Date: 14 April 2000 (14.04.00) (30) Priority Data: 09/300,902 28 April 1999 (28.04.99) US (71) Applicant: KONINKLIJKE PHILIPS ELECTRONICS N.V. [NL/NL]; Groenewoudseweg 1, NL-5621 BA Eindhoven (NL). (72) Inventors: DATTA, Dev; Prof. Holstlaan 6, NL-5656 AA Eindhoven (NL). JENSEN, Rune, H.; Prof. Holstlaan 6, NL-5656 AA Eindhoven (NL). WONG, Caltio; Prof. Holstlaan 6, NL-5656 AA Eindhoven (NL). TAKISE, Daisuke; Prof. Holstlaan 6, NL-5656 AA Eindhoven (NL). (74) Agent: DE HAAS, Laurens, J.; Internationaal Octrooibureau B.V., Prof Holstlaan 6, NL-5656 AA Eindhoven (NL). | | (81) Designated States: CN, JP, KR, European patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE). Published <i>With international search report. Before the expiration of the time limit for amending the claims and to be republished in the event of the receipt of amendments.</i> |
| (54) Title: SLEEPMODE ACTIVATION IN A SLAVE DEVICE | | |
| (57) Abstract In a master-slave configuration wherein a sleepmode activation is effected by the cessation of a clocking signal, the need for an analog device or auxiliary clock for detecting the cessation of the clocking signal is obviated by anticipating the cessation of the clock signal. Upon anticipating the cessation of the clock signal, the remaining clock signaling before cessation is used as required to effect a controlled power-down of the slave device. By eliminating the need for an analog clock cessation detector, the process tolerance constraints associated with analog circuitry can be avoided, the reliability and robustness of the design is improved, and the required testing is simplified, thereby reducing the cost of the device. In like manner, the elimination of an auxiliary clock generator reduces the cost and complexity of the device and system, and improves the device and system's overall reliability and testability. In accordance with this invention, the anticipation of the cessation of the clock signal is achieved by monitoring the communications among devices for commands that can be expected to affect the generation of the clock signal. | | |

(19) 日本国特許庁 (J P)

(12) 公表特許公報 (A)

(11) 特許出願公表番号
特表2002-543728
(P2002-543728A)

(43) 公表日 平成14年12月17日 (2002. 12. 17)

(51) Int.Cl.⁷

識別記号

F I

ターコード* (参考)

H 0 4 L 29/00

H 0 4 L 12/403

5 K 0 3 2

12/403

13/00

T 5 K 0 3 4

審査請求 未請求 予備審査請求 未請求 (全 20 頁)

(21) 出願番号 特願2000-615876(P2000-615876)
(86) (22) 出願日 平成12年4月14日 (2000. 4. 14)
(85) 翻訳文提出日 平成12年12月28日 (2000. 12. 28)
(86) 国際出願番号 P C T / E P 0 0 / 0 3 4 1 2
(87) 国際公開番号 W O 0 0 / 6 7 1 0 1
(87) 国際公開日 平成12年11月9日 (2000. 11. 9)
(31) 優先権主張番号 0 9 / 3 0 0 , 9 0 2
(32) 優先日 平成11年4月28日 (1999. 4. 28)
(33) 優先権主張国 米国 (U S)
(81) 指定国 E P (A T , B E , C H , C Y ,
D E , D K , E S , F I , F R , G B , G R , I E , I
T , L U , M C , N L , P T , S E) , C N , J P , K
R

(71) 出願人 コーニンクレッカ フィリップス エレク
トロニクス エヌ ヴィ
Koninklijke Philips
Electronics N. V.
オランダ国 5621 ペーアー アインドー
フェン フルーネヴァウツウェーハ 1
Groenewoudseweg 1,
5621 BA Eindhoven, Th
e Netherlands
(72) 発明者 デフ、ダータ
オランダ国5656、アーアー、アインドーフ
ェン、プロフ. ホルストラン、6
(74) 代理人 弁理士 佐藤 一雄 (外3名)

最終頁に続く

(54) 【発明の名称】 スレープ装置のスリープモード起動

(57) 【要約】

スリープモード起動がクロック信号停止により実行されるマスタースレープ構成では、クロック信号停止を検出するためのアナログ装置または補助クロックの必要性が、クロック信号停止を予告することにより排除される。クロック信号停止を予告すると、停止前の残りのクロック信号がスレープ装置の制御された電源切断を実行するよう必要に応じて使用される。アナログクロック停止検出器の必要性を排除することにより、アナログ回路に関連した処理許容制限事項が回避され、設計の信頼性と堅牢性が向上し、所要テストが簡単になり、装置のコストが低減される。同様に、補助クロック発生器が除去されると、装置とシステムのコストと複雑性が低減され、装置およびシステムの全体的な信頼性とテスト対応性が向上する。本発明により、クロック信号の停止予告は、クロック信号発生に影響することが予想されるコマンドの装置間の通信を監視することにより達成される。

【特許請求の範囲】**【請求項 1】**

マスタ装置により発生されたクロック信号を使用して動作するよう構成されたスレーブ装置としての使用に適切な処理装置であって、

前記クロック信号に依存して動作するよう構成され、アクティブモードとスリープモードとを有する信号プロセッサと、

前記マスタ装置への入力を監視し、前記クロック信号の停止前に予告信号を供給するよう構成されたクロック停止予告器と、

前記クロック停止予告器と前記信号プロセッサに動作的に連結され、前記予告信号に依存して前記信号プロセッサをスリープモードにするよう構成されたスリープ回路と、

を備えたことを特徴とする処理装置。

【請求項 2】

前記マスタ装置への入力有一次装置アドレスにより識別され、

前記クロック停止予告器は、

前記一次装置アドレスが前記マスタ装置への入力で検出された場合、一次選択信号をアサートするよう構成された一次アドレス検出器（370）と、

前記マスタ装置への入力の際に前記一次選択信号とクロック停止コマンドとに依存して前記予告信号を供給するよう構成されたスリープコマンド検出器と、

を含むことを特徴とする請求項 1 記載の処理装置。

【請求項 3】

前記処理装置への入力前記一次装置アドレスと異なる二次装置アドレスにより識別され、

前記処理装置は、

前記二次装置アドレスが前記処理装置への入力で検出された場合、チップ選択信号をアサートするよう構成された二次アドレス検出器と、

前記処理装置への入力の際に前記チップ選択信号とクロック停止コマンドとに依存して前記信号プロセッサをスリープモードにするよう構成されたコマンドプロセッサと、

を含むことを特徴とする請求項2記載の処理装置。

【請求項4】

前記処理装置への入力の前記マスタ装置への入力を含むことを特徴とする請求項3記載の処理装置。

【請求項5】

アドレス領域とコマンド領域とを含む入力フレームを保存するための入力フレームバッファと、

アクティブモードとスリープモードとを有する信号プロセッサと、

前記アドレス領域に第一アドレスが含まれる場合、一次選択信号をアサートする第一アドレス検出器と、

前記アドレス領域に第二アドレスが含まれる場合、チップ選択信号をアサートする第二アドレス検出器と、

前記コマンド領域にスリープコマンドが含まれ、前記一次選択信号と前記チップ選択信号のうちの少なくとも1つがアサートされる場合、前記信号プロセッサをスリープモードにするスリープ制御装置と、

を備えたことを特徴とするコーデック。

【請求項6】

前記コマンド領域に前記スリープコマンドが含まれる場合、前記スリープ制御装置に通知するスリープコマンド検出器を含むことを特徴とする請求項5記載のコーデック。

【請求項7】

前記信号プロセッサは、前記第一アドレスに対応する装置アドレスを有する一次装置により供給されるクロック信号に依存して動作することを特徴とする請求項5記載のコーデック。

【請求項8】

前記コーデックはAC '97対応コーデックであることを特徴とする請求項5記載のコーデック。

【請求項9】

各々が関連コーデックアドレスを有しており、一次コーデックと少なくとも1

つの二次コーデックとを有する複数のコーデックと、

前記複数のコーデック（121～123）に、アドレス領域とコマンド領域とを含むフレームを通信するデジタル制御装置と、

備え、前記少なくとも1つの二次コーデックは、

前記デジタル制御装置から通信された各フレームを保存するための入力フレームバッファと、

アクティブモードとスリープモードとを有する信号プロセッサと、

前記アドレス領域に第一アドレスが含まれる場合、一次選択信号をアサートする第一アドレス検出器と、

前記アドレス領域に第二アドレスが含まれる場合、チップ選択信号をアサートする第二アドレス検出器と、

前記コマンド領域にスリープコマンドが含まれ、前記一次選択信号と前記チップ選択信号のうちの少なくとも1つがアサートされる場合、前記信号プロセッサをスリープモードにするスリープ制御装置と、

を含むことを特徴とするシステム。

【請求項10】

前記少なくとも1つの二次コーデックは、前記コマンド領域に前記スリープコマンドが含まれる場合、前記スリープ制御装置に通知するスリープコマンド検出器を含むことを特徴とする請求項9記載のシステム。

【請求項11】

前記信号プロセッサは前記第一アドレスに対応する装置アドレスを有する一次装置により供給されるクロック信号に依存して動作することを特徴とする請求項9記載のシステム。

【請求項12】

前記一次装置は前記一次コーデックであることを特徴とする請求項11記載のシステム。

【請求項13】

前記システムはAC'7対応システムであることを特徴とする請求項9記載のシステム。

【請求項 14】

前記複数のコーデックを処理するために前記デジタル制御装置にオーディオ情報を通信することによりオーディオ情報の処理をオフロードするコンピュータ装置を更に備えた請求項 9 記載のシステム。

【発明の詳細な説明】**【0001】****【発明の属する技術分野】**

本発明は、ディジタルシステムの分野に関し、特に一次および二次、すなわちマスタ装置およびスレーブ装置構成を使用するコンピュータシステムに関する。

【0002】**【従来の技術】**

並列処理は、コンピュータシステム内の各種の同時タスクを達成するのに用いられることが多い。数値演算コプロセッサ、オーディオおよびビデオコプロセッサなどの特殊装置は、メインプロセッサからのタスクをオフロードするのによく使用され、上記特殊装置がオフロードされたタスクを同時に実行している間、メインプロセッサがその他のタスクを実行できる。

【0003】

オフロードされた共通のタスクは、例えば、Intel Corporationの「Audio Codec '97 Rev 2.1」仕様（参考文献1）に準拠する装置に代表される、Audio Codec（C0der-DECoder（以下、コーデックという））を用いてオーディオ情報を符号化および復号化する。オーディオコーデックの基本タスクは、プロセッサからディジタル符号化された情報を受信し、対応するアナログオーディオ信号をスピーカまたはヘッドセットに供給し、またマイクロホンからアナログオーディオ情報を受信し、ディジタル符号化された情報を処理システムに供給する。

【0004】

マルチメディア機能の需要が高まっているため、コンピュータシステム内でコーデックを複数使用することがますます一般的になっている。参照されたAC '97仕様の複数コーデック構成のアーキテクチャは、その他の複数のインスタンス装置の構成に使用されるものに類似である。論理の相互接続を容易にするため、図1に示されるように、複数のコーデックは互いに並列に動作するよう構成される。図1は、AC '97ディジタル制御装置110と3つのコーデック121～123とを示す。コンピュータシステムでの同期および制御要求を容易にするため、複数のコーデック121のうちの1つが一次、すなわちマスタコーデック

として示され、またその他のコーデック122、123の各々は、二次、すなわちスレーブコーデックとして示される。各コーデック121～123の一意識別は、各コーデックの識別ビットID0およびID1に関連した値を介して実行される。すなわち、2つの識別ビットを持つことにより、最高4つまでのコーデックが一意識別される。その他の複数の装置システムは、それ以上またはそれ以下のビットを使用して、それ以上またはそれ以下の複数のインスタンスを適応させる。一般的なAC'97構成では、コーデックには、論理0バス140か論理1バス141に結合された外部ピンを介して一意識別子が割り当てられる。図1に示すように、一次コーデック121の識別ビットID0およびID1は、論理0バス140に結合され、従って一次コーデック121の識別、すなわちアドレスは「00」となる。同様に、コーデック122と123のアドレスはそれぞれ、「01」および「10」となる。当業者には一般的であるように、識別ビットの極性は保持される。ここに示された特定値は図示目的のみである。

【0005】

図1に示すデジタル制御装置110は、コーデック121～123の各々を並列に通信する単一データ出力ポートSDATA_OUT 132を有する。デジタル制御装置は、各コーデックの上記一意アドレスを使用して、適切な情報、すなわちデータフレームを適切なコーデックにルーティングする。図2は、複数のコーデック構成で動作するよう構成された（コーデック121～123がインスタンスである）従来技術の模範コーデック120を示す。図2には、制御装置110（図2に図示せず）からSDATA_OUT 132を介して各データフレームを受信する入力フレームバッファ210が示されている。各データフレームには、フレームが目的とする装置と、装置に要求される動作とを識別するアドレス領域212とコマンド領域214とが含まれる。図示していないが、一般的に各フレームにはまた、データビットと、制御ビット、エラー領域ビット、状況ビットなどの補助ビットとが含まれる。

【0006】

コーデック120には、フレームのアドレス領域212をコーデック120の特別なインスタンスの識別ビットID0 200およびID1 201に割り当

てられた論理値と比較することにより、それがデータフレームの目的とする受信側であるかどうかを決定するアドレス検出器220が含まれる。アドレス領域212が識別ビット200、201と合致すると、チップ選択信号(CS)221がアサートされる。チップ選択信号221がアサートされると、コマンドプロセッサ230はコマンド214を処理し、信号プロセッサ240の適切なコマンドおよびパラメータと通信し、コマンド214を実行する。チップ選択信号221がアサートされない場合、コマンドプロセッサはコマンド214を無視し、信号プロセッサ240は、このコーデックにアドレス指定された前のコマンドからの残りの処理を妨害されることなく自由に続行する。このように、各コーデック121~123にはその一次信号処理機能を実行する時間が与えられ、共通のSDATA_OUT 132を介して受信された、関連しないフレームデータの処理に最小時間を当てる。

【0007】

図2には、スリープ、すなわち電源切断回路290が示される。特定装置120にアドレス指定されたスリープコマンド214を受信すると、装置120は最小電力を消費するモードになる。当業者に一般的な技術を用いて、スリープ回路290には、装置120のノードが低電力消費状態になるよう要求される制御論理が含まれ、必要に応じて、装置120が再びアクティブかつ高電力モードになるまで保存されるよう要求されるデータを保存する必要がある制御論理が含まれる。一般に、装置の電源切断は、マルチステップ処理である。通常、スリープ回路290にはシーケンス装置が含まれ、クロック信号131は、これらの装置と、必要に応じて、装置120内のその他のシーケンス装置に、要求されたクロック信号を供給する。

【0008】

一般的なマスタスレーブ構成では、マスタ装置は、全ての装置に共通するタスクを担当することが多い。例えば、一般的なAC '97コーデックのタスクは、クロック信号BIT_CLK 131を供給し制御装置110と通信する。AC '97の複数コーデック構成では、一次コーデック121は出力としてクロック信号131を供給するようタスクされ、二次コーデック122~123の各々

は、入力としてこのクロック信号を受信する必要がある。

【0009】

この共通クロック信号は通常、制御装置とマスタ装置およびスレーブ装置の各々の同期を可能にするよう使用される。

【0010】

しかし、マスタ装置がクロック信号を供給するため、マスタ装置を電源切断すると、スレーブ装置の各々へのクロック信号が停止し、特にスレーブ装置に周期的にリフレッシュされこの状態を保持する必要があるダイナミックメモリが含まれる場合、この停止はスレーブ装置の次の動作に悪影響を及ぼすことがある。また、クロック信号を停止すると、電力消費状態でノードを残すことにより、電源切断、すなわちスリープモード動作の有効性に悪影響を及ぼすことがある。

【0011】

クロック停止後の制御された電源切断を実行するには、スレーブ装置はクロックが停止したことに気づき、その後、所定のメモリコンテンツをセーブし、全てのノードが最小電力消費状態にあることを確認する、適切なアクションを実行する必要がある。図2は、BIT_CLK 131がその遷移を停止した後、制御された電源切断を実行する、クロック停止検出器260の従来的な使用が示されている。「ワンショット」タイミング回路などのアナログ回路は、クロック停止検出器260で使用され、所要時間経過後クロック信号131の不在を検出する。一方、補助クロック発生器250は、デジタル回路を用いてクロック信号131の不在を検出するのに使用される、補助クロック信号231を発生するよう備えられることが多い。一般に、補助クロック発生器250は、外部結晶を必要とする結晶ドライブ回路であり、システムのコストと複雑性を増大させる。通常、装置の電源切断がシーケンス処理であるため、補助クロック信号231はまた、共通クロック信号131停止の検出後使用され、クロック信号を供給し、順次電源切断処理を実行する。

【0012】

【発明が解決しようとする課題】

本発明の目的は、共通クロック信号の停止を検出するのに通常使用されるアナ

ログ回路を除去することにより、スレーブ装置として構成される回路のコストを低減させることにある。本発明の別の目的は、共通クロック信号の停止を検出するための補助クロック信号を発生する必要性を排除することにより、スレーブ装置として構成される回路のコストを低減させることにある。本発明の別の目的は、共通クロック信号の停止後使用される補助クロック信号を発生する必要性を排除することにより、スレーブ装置として構成される回路のコストを低減させることにある。本発明の別の目的は、これらの装置の信頼性と堅牢性とを向上させることにある。本発明の別の目的は、従来のAC '97互換可能なコーデックより簡単に製造、テストできる複数コーデックの使用に適切なAC '97互換可能なコーデックを提供することにある。

【0013】

【課題を解決するための手段】

これらの目的とその他の目的は、クロック信号停止を予告するための手段を提供することにより達成され、クロック信号停止を明白に検出する必要性を排除する。

【0014】

クロック信号停止を予告すると、停止前の残りのクロック信号がスレーブ装置の制御された電源切断を実行するよう必要に応じて使用される。アナログクロック停止検出器の必要性を排除することにより、アナログ回路に関連した処理許容制限事項が回避され、設計の信頼性と堅牢性が向上し、所要テストが簡単になり、装置のコストが低減される。同様に、補助クロック発生器が除去されると、システムのコストと装置の複雑性が低減され、システムおよび装置の全体的な信頼性とテスト対応性が向上する。本発明により、クロック信号の停止予告は、クロック信号発生に影響することが予想されるコマンドの装置間の通信を監視することにより達成される。

【0015】

【発明の実施の形態】

本発明は、添付図を参照して詳細に説明される。

【0016】

本発明は、クロック信号の制御停止が、クロック信号の発生に影響するコマンドを観察または「捜し回る」ことにより予告される観察に基づくものである。

【0017】

図3は、図1に示す複数コーデック構成での使用に適切なAC '97互換可能コーデック320のブロック図を示す。図3では、図1および図2と同一の参照符号を有する項目が、これらの図により上記したものと同一の機能を実行する。複数コーデック使用例は、理解しやすくするため、一般的なマスタスレーブ構成のパラダイムとしてここに提供される。本発明はAC '97複数コーデック例を用いて示されているが、ここに示された原理は、同様に構成されたマスタスレーブ装置に適用される当業者に認識される。また、用語「マスタ」と「スレーブ」は、一般的な意味でここに使用される。すなわち、マスタ装置はクロック信号を供給する装置であり、スレーブ装置はマスタ装置からクロック信号を受信する装置である。

【0018】

図3に示すコーデック320では、クロック停止予告器360はクロック信号131を停止させることが予想されるコマンドを検出するのに使用される。AC '97対応一次コーデックの例では、例えば、アドレス指定されたコーデックの「電源切断レジスタ」の「PR4」ビット（レジスタ'26Hのビット12）をセットするコマンドにより、アドレス指定されたコーデックが制御装置110とアドレス指定された装置間の「オーディオコーデックリンク」（ACリンク）を遮断し外部クロックを遮断することが要求される。AC '97対応一次モデムコーデックの場合と同様に、「雑モデムAFE状態と制御レジスタ」の「MLNK」ビット（レジスタ'56Hのビット12）のセッティングはまた、ACリンクを遮断するコマンドである。AC '97対応コーデックの例では、一次コーデックが制御装置110からいずれか一方のコマンドを受信しACリンクを遮断する場合、BIT_CLK 131クロック信号は一次コーデックによりローに保持される。その他の装置構成は、クロック信号を停止させる、同様の有限コマンドおよび受信側セットを有する。クロック停止予告器360は、一次コーデックにアドレス指定される、これらのクロック停止コマンドを検出するよう設計される

。クロック停止予告器360は、入力フレームバッファ210からアドレス212とコマンド214とを受信する。クロック停止予告器360には、アドレス検出器370とスリープコマンド検出器380とが含まれる。アドレス検出器370は、装置のアドレスを検出するよう構成され、クロック信号を停止させるコマンドを受信する。この例において、AC'97仕様では、一次コーデックのアドレスを「00」に定義し、二次コーデックの各々は非00結合が定義される。アドレス212入力が00で、AC'97仕様に一致する場合のみ、NORゲート375は一次選択信号371をアサートする。

【0019】

一次選択信号371をアサートしたとき、スリープコマンド検出器380が可能になり、一次コーデックがアドレス指定されていることを示し、コマンド214がクロックを停止した上記コマンドのうちの1つである場合、予告されたクロック停止信号381をアサートする。スリープ回路390は図2に示すスリープ回路290に類似しているが、ただし、装置320に明白にアドレス指定されたスリープコマンドへの応答に付け加えて、スリープ回路390はまた、予告クロック停止信号381に応じて装置320を電源切断スリープモードにする。すなわち、例えば、本発明の原理に従って、アドレス212が00の一次コーデックアドレスを示し、コマンド214が上記「PR4」ビットまたは「MLNK」ビットを論理値1にセットすることを示し、スリープ回路390は所要制御信号を供給して装置320をスリープモードにする。装置320がマスタコーデックがコマンドを検出できると同時にマスタコーデックをスリープモードにするコマンドの通信を検出するため、装置320はマスタコーデックと同一の時間量を有し、制御された電源切断動作を実行する。すなわち、例えば、スリープモードコマンド受信後、そのプログラムセッティングを保持しそのノードを低電力消費状態にセットする、3つのクロックサイクルを一次コーデックが要求する場合、二次コーデック320はそのプログラムセッティングを保持し、そのノードを低電力消費状態にセットする、これらの同一の3つのクロックサイクルを有しており、3つのクロックサイクルは、マスタ装置がスリープモードに入るまでBIT_CLK 131クロック信号の続行により供給される。このように、一次コーデッ

クがBIT_CLK 131クロック信号の発生を停止する場合、二次コーデック320はスリープモードになり、補助クロック信号が後の順次動作を実行するよう要求されない。

【0020】

クロック信号131の停止を予告する別の重要な利点は、コーデックが電源切断されている間使用される割込発生回路を可能にするよう要求される時間とクロック信号がそのコーデックに供給される。例えば、電話線のリングングにより、コーデック320がスリープモード状態からアクティブ状態を再開することを要求する割込を発生する。この割込は、SDATA_IN 133をハイにドライブするコーデックの手段によりAC '97デジタル制御装置110に信号を送る。従って、割込発生を発生させるコーデック320の回路は、コーデック320が電源切断されたとき可能になる。クロック信号131の停止を予告する別の面では、一般的に、コーデック320が入力フレームの残りを廃棄し、例えば、そのフレームは、クロックを停止するコマンドが検出されたものであり、またAC '97デジタル制御装置110がウォームリセット134を送出し、コーデック320がアクティブかつ高電力モードで標準動作を再開した後、全く新しいフレーム受信の準備をするよう要求される。

【0021】

なお、BIT_CLK 131クロック信号の停止がクロック停止予告器360により予告されるため、アナログタイミング回路も補助回路も実際のクロック停止を検出するよう要求されない。アナログクロック停止検出器の必要性を排除することにより、アナログ回路に関連した処理許容制限事項が回避され、設計の信頼性と堅牢性が向上し、所要テストが簡単になり、装置のコストが低減される。同様に、補助クロック発生器が除去されると、装置の複雑性が低減され、装置およびシステムの全体的なコスト、信頼性、およびテスト対応性が向上する。

【0022】

上記は単に、本発明の原理を示す。ここに明白に説明または示されていないが、当業者は、本発明の原理を実施し、その精神と範囲にある各種装置を考案できることが認識される。例えば、クロック停止コマンドはクロック信号を停止させ

ることが知られているものとして示されている。システムによっては、ある一定のコマンドはクロック信号の条件付き停止を発生させる。すなわち、クロック停止は、スリープコマンド検出器380により監視されるコマンド214に含まれない、その他の要素またはパラメータに依存する。このようなシステムでは、装置320は条件付き停止コマンドを検出するとスリープモードに入り、その予告された停止時間経過後クロック信号が発生するとスリープモードから出る。同様に、クロック停止コマンドは、装置320に向けられたコマンドと同一の信号ラインSDATA__OUT 131で発生することが示されている。当業者に明らかなように、クロック停止予告器360への入力は、装置320のクロック信号の発生に影響するコマンドまたは信号を含む、その他のあらゆる信号ラインを供給するよう適切に変更される。

【0023】

装置320は、ハードウェア、ソフトウェア、またはその両方の組み合わせで実行される。例えば、信号プロセッサ240は電子回路として実行され、コマンドプロセッサ230とスリープコマンド検出器380は埋め込まれたプロセッサ内で動作するファームウェアプログラム、または別の処理システムで動作するプログラムで実施される。模範装置アーキテクチャおよび機能パーティションは、図示目的のためのみ図に示される。例えば、コマンドプロセッサ230には一般に、二次装置320に明白にアドレス指定されたスリープコマンドを検出するのに使用される、スリープコマンド検出器が含まれるため、スリープコマンド検出器380はコマンドプロセッサ230内で実施される。同様に、スリープ回路390の機能は、装置320全体を通じて分配される。同様に、各機能ブロックに関連したタスクは一般に、使用される技術に依存する。例えば、CMOSデバイスはいずれか一方の論理状態で最小電力を消費し、スリープ回路390は装置320のCMOS実装内のノードを制御して低電力状態を達成する必要がなく、制御信号を供給するだけで、仕様が低電力モードで要求するどんな状態にでも装置320の出力ピンをセットする。これらの各種装置とその他の装置は当業者に明らかとなり、請求項の目的範囲内にある。

【0024】

参考文献

1. Audio Codec '97, Revision 2.1, May 22, 1998, Intel Corporation.
Copyright 1998 Intel Corporation, 5200 N.E. Elam Young Parkway,
Hillsboro, OR 97124-6497.

【図面の簡単な説明】

【図1】

従来のマスタスレーブ装置の構成を示すブロック図。

【図2】

クロック停止検出器を有する従来のスレーブ装置を示すブロック図。

【図3】

本発明によるクロック停止予告器を有するスレーブ装置を示すブロック図。

【符号の説明】

- 110 制御装置
- 121 マスタ装置（コーデック）
- 122 スレーブ装置（コーデック）
- 123 コーデック
- 131 クロック信号
- 210 入力フレームバッファ
- 220 アドレス検出器
- 230 コマンドプロセッサ
- 240 信号プロセッサ
- 320 処理装置（コーデック）
- 360 クロック停止予告器
- 370 アドレス検出器
- 380 スリープコマンド検出器
- 390 スリープ制御装置

【図1】

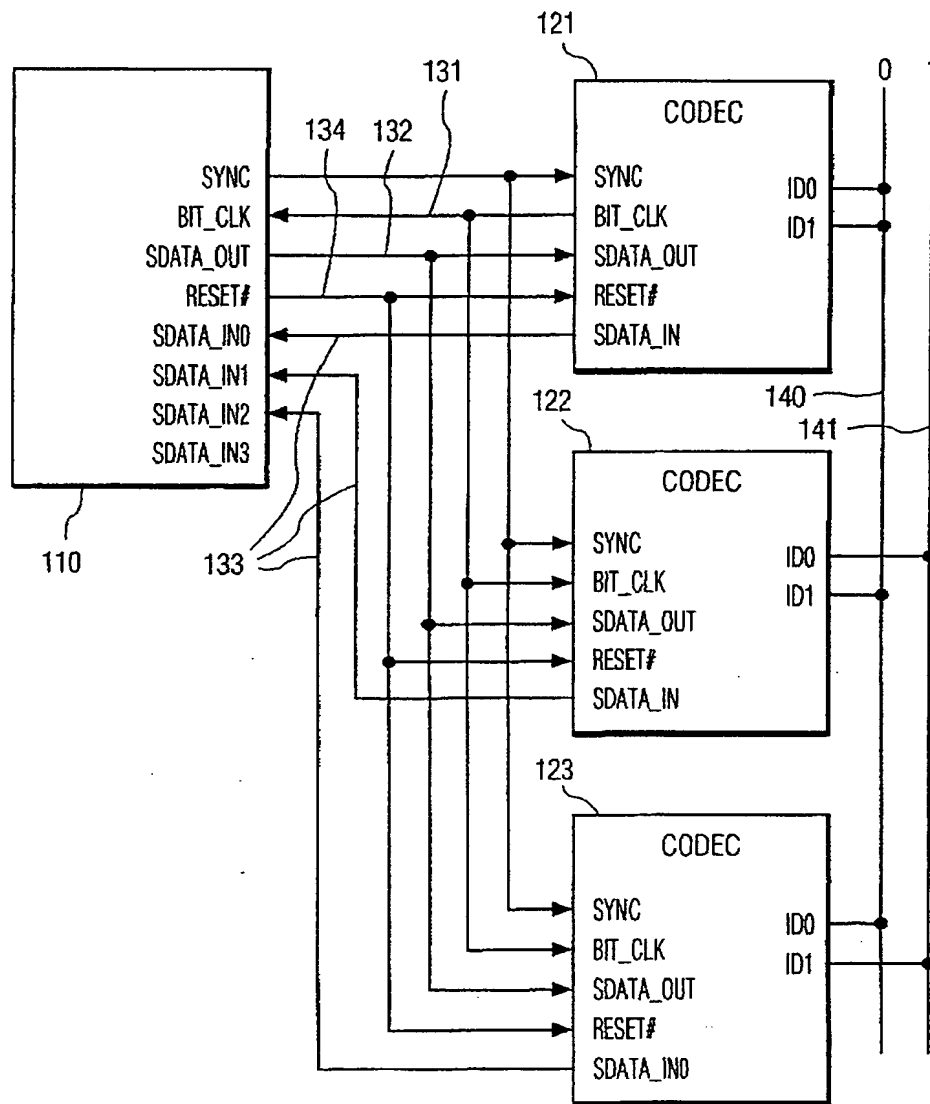


FIG. 1

【図 2】

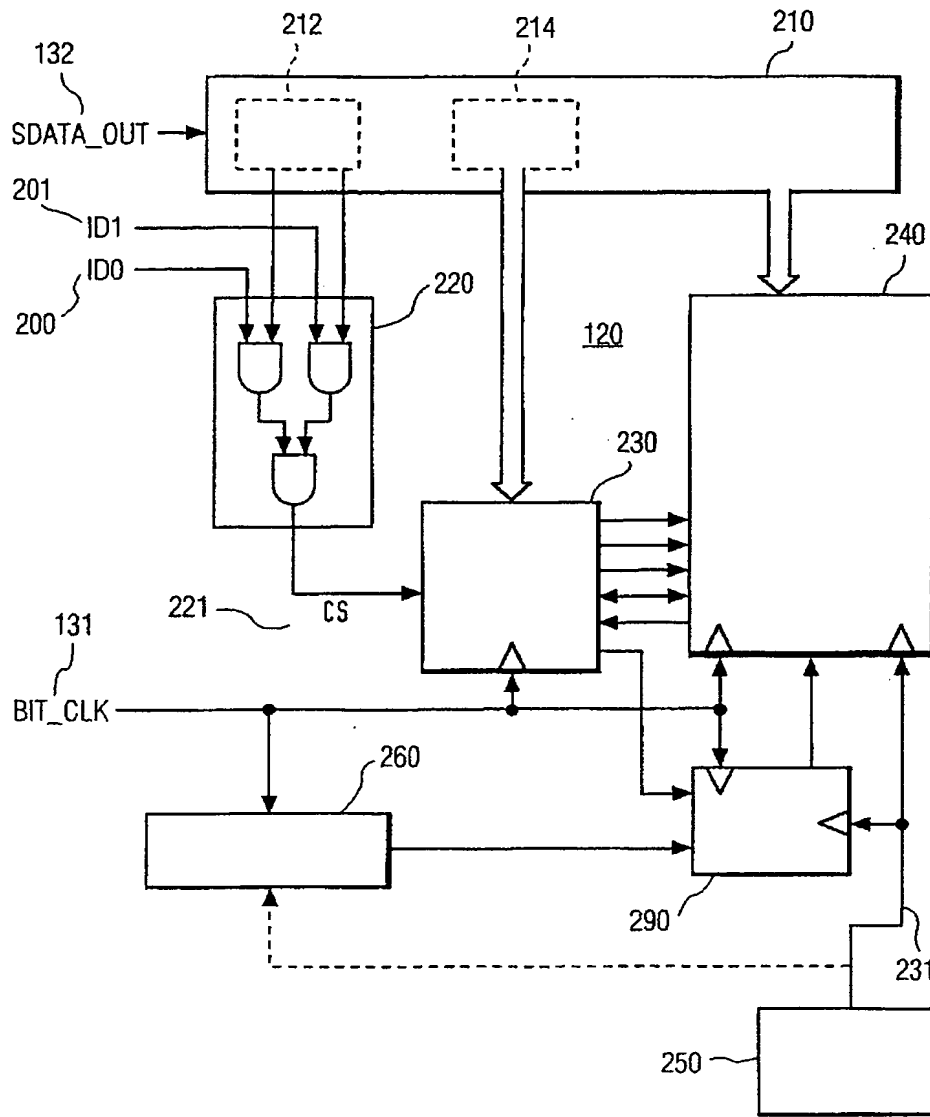


FIG. 2

【図 3】

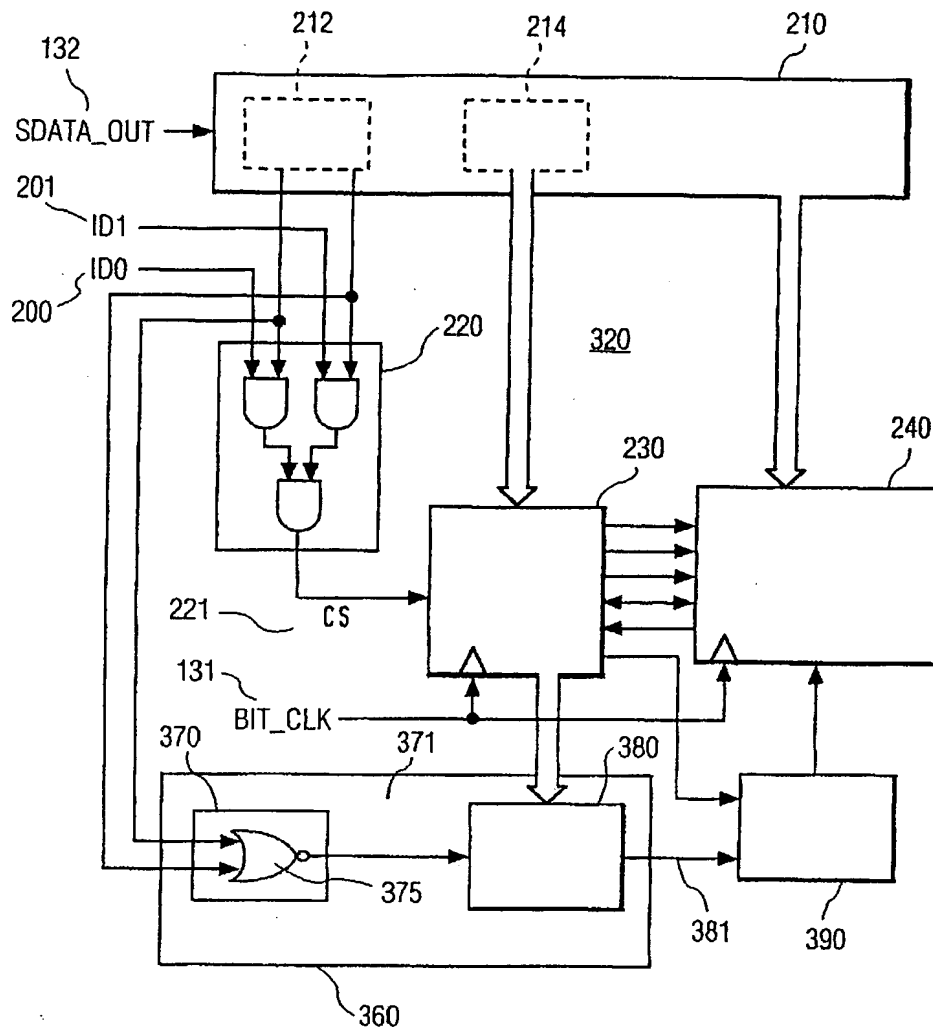


FIG. 3

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International Application No.
PCT/EP 00/03412

| | | |
|---|---|--|
| A. CLASSIFICATION OF SUBJECT MATTER IPC 7 G06F1/32 G06F1/04 | | |
| According to International Patent Classification (IPC) or to both national classification and IPC | | |
| B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC 7 G06F | | |
| Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched | | |
| Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-internal, WPI Data, PAJ, INSPEC, COMPENDEX, IBM-TDB | | |
| C. DOCUMENTS CONSIDERED TO BE RELEVANT | | |
| Category * | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
| A | "Audio Codec '97 : Revision 2.1", INTEL CORPORATION, 22-05-1998 XP002146899 cited in the application page 13 -page 13 page 26 -page 35 page 47 -page 48 page 79 -page 90 | 1,5,9,13 |
| <input type="checkbox"/> Further documents are listed in the continuation of box C. <input type="checkbox"/> Patent family members are listed in annex. | | |
| * Special categories of cited documents : "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (see specification) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "Z" document member of the same patent family | | |
| Date of the actual completion of the international search 7 September 2000 | | Date of mailing of the international search report 09/10/2000 |
| Name and mailing address of the ISA European Patent Office, P.O. 5518 Patensack 2 NL - 2200 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax (+31-70) 340-3018 | | Authorized officer Bailas, A |

フロントページの続き

(72)発明者 ルネ、エイチ、イエンセン
オランダ国5656、アーアー、アインドーフ
ェン、プロフ、ホルストラーン、6

(72)発明者 カルト、ウォン
オランダ国5656、アーアー、アインドーフ
ェン、プロフ、ホルストラーン、6

(72)発明者 ダイスケ、タキセ
オランダ国5656、アーアー、アインドーフ
ェン、プロフ、ホルストラーン、6

Fターム(参考) 5K032 BA04 BA08 DA01 DB22 DB28
EA03
5K034 DD02 HH01 HH02 HH63 TT04